

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22385

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	D
21/28			21/28	L
	3 0 1			3 0 1 R
27/108			27/10	6 8 1 B
21/8242				
審査請求 未請求 請求項の数 7 O L (全 8 頁)				

(21) 出願番号 特願平8-174659

(22) 出願日 平成8年(1996) 7月4日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 塚本 和宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

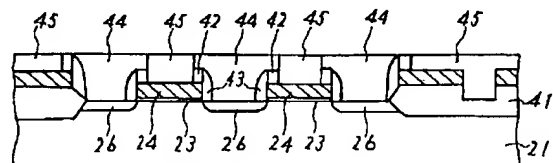
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 上下層間を接続するコンタクトが精度良く、容易に作れ、コンタクトと他の配線との間のショートが防止できる半導体装置およびその製造方法を得る。

【解決手段】 コンタクト形成部には不純物をドーピングしたシリコン酸化膜44を、そして、その他の部分には不純物をドーピングしないシリコン酸化膜42、43、45を形成し、気相HF処理により、シリコン酸化膜44を除去してコンタクトホールを形成する。



45: 第3のシリコン酸化膜

【特許請求の範囲】

【請求項1】 上下層間を接続するコンタクトを備えた半導体装置の製造方法において、コンタクト形成部に不純物をドーパしたシリコン酸化膜を形成する工程と、上記不純物をドーパしたシリコン酸化膜を形成した部分以外の部分に、不純物をドーパしないシリコン酸化膜を形成する工程と、上記不純物をドーパしたシリコン酸化膜を気相HF処理により除去してコンタクトホールを形成する工程と、このコンタクトホールに導電性材料を埋め込んでコンタクトを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 ビット線とソース・ドレイン領域の一方とを接続する第1のコンタクト、およびストレージノードと上記ソース・ドレイン領域の他方とを接続する第2のコンタクトを備えた半導体装置の製造方法において、シリコン基板上にゲート酸化膜、第1の導電膜、不純物をドーパしない第1のシリコン酸化膜を順次形成してワード線のパターニングを行い、このワード線の両側の上記シリコン基板に不純物を注入して上記ソース・ドレイン領域を形成し、上記ワード線の側壁に不純物をドーパしないシリコン酸化膜で第1のサイドウォールを形成する工程と、その後、不純物をドーパした第2のシリコン酸化膜を堆積し、上記第1、第2のコンタクト形成部以外の部分の上記第2のシリコン酸化膜を除去する工程と、その後、不純物をドーパしない第3のシリコン酸化膜を堆積した後、上記第2のシリコン酸化膜が露出するまでエッチバックする工程と、その後、フォトレジストを塗布し、上記第1のコンタクト形成部上の上記フォトレジストを除去する工程と、その後、上記第1のコンタクト形成部の上記第2のシリコン酸化膜を気相HF処理により除去して第1のコンタクトホールを形成した後、上記フォトレジストを除去する工程と、その後、第2の導電膜を堆積し、上記第1のコンタクトホールを埋め込んで第1のコンタクトを形成し、その上に不純物をドーパしない第4のシリコン酸化膜を堆積した後、ビット線のパターニングを行い、側壁に不純物をドーパしないシリコン酸化膜で第2のサイドウォールを形成する工程と、その後、上記第2のコンタクト形成部の第2のシリコン酸化膜を気相HF処理により除去して第2のコンタクトホールを形成する工程と、その後、第3の導電膜を堆積し、上記第2のコンタクトホールを埋め込んで第2のコンタクトを形成する工程とを含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 第1、第3のシリコン酸化膜および第1のサイドウォールは、ともに同一特性を有する同一膜種であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 第1の導電膜、この第1の導電膜上に形成された絶縁膜、この絶縁膜上に形成された第2の導電膜、上記第1の導電膜の側壁に形成されたサイドウォール、および、上記第1の導電膜の側方に上記サイドウォールを介して形成されて、上記第2の導電膜と下方に形成された導電部とを接続するコンタクトを備えた半導体装置において、上記絶縁膜およびサイドウォールは不純物をドーパしないシリコン酸化膜で形成され、かつ、上記絶縁膜が上記第2の導電膜と接する部分に段部が形成されたことを特徴とする半導体装置。

【請求項5】 絶縁膜とサイドウォールがともに同一特性を持つ同一膜種であることを特徴とする請求項4記載の半導体装置。

【請求項6】 第1の導電膜はワード線であり、第2の導電膜はビット線であり、導電部はソース・ドレイン領域であるメモリセルを備えたDRAMであることを特徴とする請求項4または5記載の半導体装置。

【請求項7】 第1の導電膜はワード線であり、第2の導電膜は互いに絶縁されたビット線とストレージノードであり、導電部は2つのソース・ドレイン領域であり、2つのコンタクトによりそれぞれ上記ビット線とソース・ドレイン領域の一方、および上記ストレージノードとソース・ドレイン領域の他方を接続するとともに、絶縁膜がビット線と接する部分、およびストレージノードと接する部分にそれぞれ段部が形成されたことを特徴とする請求項4または5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は上下層間を接続するコンタクトを備えた半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、例えば半導体記憶装置は、コンピュータなどの情報機器のめざましい発展、普及によりその需要が急速に拡大している。機能的には、大きな記憶容量を有するものが要求されている。これに伴って半導体記憶装置の高集積化および高信頼化に関する技術開発が進められている。半導体記憶装置の中では、記憶情報のランダムな入出力が可能なものとして、DRAMがよく知られている。一般に、DRAMは、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部との入出力に必要な周辺回路とから構成されている。

【0003】図10は一般的なDRAMの構成を示すブロック図である。図において、DRAM1は、記憶情報のデータ信号を蓄積するためのメモリセルアレイ2と、記憶回路を構成するメモリセルを選択するためのアドレス信号を外部から受けるロウアンドカラムアドレスバッファ3とそのアドレス信号を解読することによってメモリセルを指定するためのロウデコード4およびカラムデコード5と、指定されたメモリセルに蓄積された信号を増幅して読み出すセンスリフレッシュアンプ6と、データ入出力のためのデータインバッファ7およびデータアウトバッファ8、およびクロック信号を発生するクロック

クジェネレータ9を含んでいる。

【0004】半導体チップ上で大きな面積を占めるメモリセルアレイ2の中では、記憶情報を蓄積するためのメモリセルが、マトリクス状に複数個配列して設けられている。図11は、メモリセルアレイを構成するメモリセルの4ビット分を示す等価回路図である。図示されたメモリセルは、1個のMOSトランジスタ11と、これに接続された1個のキャパシタ12とから1ビット分が構成される、いわゆる1トランジスタ1キャパシタ型のメモリセルである。MOSトランジスタ11のゲートはワード線13に接続され、ソース・ドレインの一方はビット線14に、そして他方はキャパシタ12に接続されている。このタイプのメモリセルは、構造が簡単のため、メモリセルアレイの集積度を向上させることが容易であり、大容量を必要とするDRAMによく用いられている。

【0005】図12～図15は従来の典型的なスタックトキャパシタを有するメモリセルの製造工程を示す断面図であり、2ビット分を示す。まず、図12を参照して、シリコン基板21上に分離酸化膜22を形成した後、ゲート酸化絶縁膜23、リン等をドーブしたポリシリコン膜24、シリコン酸化膜25を形成し、ポリシリコン膜24、シリコン酸化膜25にワード線13のパターニングを施す。そしてリン等の不純物をイオン注入して、ソース・ドレイン領域26を形成する。トランスファゲートトランジスタ(TG)はシリコン基板21上にゲート酸化絶縁膜23を介して形成されたワード線13と、その両側でシリコン基板21上に形成された一対のソース・ドレイン領域26を備える。

【0006】次に、シリコン基板21上全面にシリコン酸化膜を堆積して、異方性エッチングを行い、ワード線13の側壁にサイドウォール27を形成する。そして、シリコン基板21上にシリコン酸化膜28を堆積し、さらにその上にフォトレジスト29を塗布した後、ビット線とソース・ドレイン領域26を接続するための第1のコンタクトホール30用のパターニングをフォトレジスト29に対して行い、続いてこのフォトレジスト29をマスクにして異方性ドライエッチングを行い、第1のコンタクトホール30を形成して図12に示したようになり、フォトレジスト29を除去する。

【0007】次に、図13を参照して、リン等をドーブしたポリシリコン膜を堆積して第1のコンタクト31を形成した後、これをパターニングしてビット線14を形成する。次に、図14を参照して、シリコン酸化膜32を堆積した後、ストレージノードとソース・ドレイン領域26を接続するための第2のコンタクトホール33を、第1のコンタクトホール30と同様に形成する。次に、図15を参照して、ポリシリコン膜を堆積して第2のコンタクト34を形成し、パターニングしてストレージノード15を形成する。続いてキャパシタ絶縁

膜35、セルプレート電極16を形成し、これらでキャパシタ12を構成する。

【0008】

【発明が解決しようとする課題】今後もDRAMの更なる高集積化、大容量化のために、メモリセルの微細化を行わなくてはならない。したがって、従来技術をそのまま採用しては第1のコンタクト31とワード線13とのマージン、第2のコンタクト34とワード線13およびビット線14とのマージンが厳しくならざるを得ない。そのため、第1、第2のコンタクト31、34とワード線13とビット線14とのショートによる不良が発生する。これを防止するためにコンタクトホール径を縮小すれば、レジスト解像が厳しくなって、コンタクトホールの開口不良が発生する。

【0009】以上の問題を解決するために、例えば、特開平3-183162号公報に示された製造方法があるが、そこでは層間膜にシリコン窒化膜を用いている。シリコン窒化膜は応力が大きいため層間膜に割れ(クラック)や隙間(ボイド)が発生しやすく、製造工程において支障をきたす。また、コンタクトホールのドライエッチングにおいては、シリコン酸化膜/窒化膜の選択比が、膜の傾斜部も含めると、10以下であり、制御性が厳しく、配線のショートを起こしやすい。

【0010】この発明は上記のような問題を解決するためになされたもので、コンタクト部分でのショートなどの配線不良を防止できる半導体装置およびその製造方法を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明に係る半導体装置の製造方法においては、コンタクト形成部に不純物をドーブしたシリコン酸化膜を形成する工程と、それ以外の部分に、不純物をドーブしないシリコン酸化膜を形成する工程と、上記不純物をドーブしたシリコン酸化膜を気相HF処理により除去してコンタクトホールを形成する工程と、このコンタクトホールに導電性材料を埋め込んでコンタクトを形成する工程とを含むものである。

【0012】さらに、シリコン基板上にゲート酸化膜、第1の導電膜、不純物をドーブしない第1のシリコン酸化膜を順次形成してワード線のパターニングを行い、このワード線の両側にソース・ドレイン領域を形成するとともに、ワード線の側壁に不純物をドーブしないシリコン酸化膜で第1のサイドウォールを形成する工程と、不純物をドーブした第2のシリコン酸化膜を堆積し、第1、第2のコンタクト形成部以外の部分の第2のシリコン酸化膜を除去する工程と、不純物をドーブしない第3のシリコン酸化膜を堆積した後、第2のシリコン酸化膜が露出するまでエッチバックする工程と、フォトレジストを塗布し、第1のコンタクト形成部上のフォトレジストを除去する工程と、第1のコンタクト形成部の第2のシリコン酸化膜を気相HF処理により除去して第1のコン

5

ンタクトホールを形成し、フォトレジストを除去する工程と、第2の導電膜を堆積し、第1のコンタクトホールを埋め込んで第1のコンタクトを形成し、その上に不純物をドーブしない第4のシリコン酸化膜を堆積した後、ビット線のパターンニングを行い、側壁に不純物をドーブしないシリコン酸化膜で第2のサイドウォールを形成する工程と、第2のコンタクト形成部の第2のシリコン酸化膜を気相HF処理により除去して第2のコンタクトホールを形成する工程と、第3の導電膜を堆積し、第2のコンタクトホールを埋め込んで、第2のコンタクトを形成する工程とを含むものである。

【0013】さらに、第1、第2のシリコン酸化膜および第1のサイドウォールを、ともに同一特性を有する同一膜種としたものである。

【0014】また、この発明に係る半導体装置は、第1の導電膜、その上に形成された絶縁膜、その上に形成された第2の導電膜、第1の導電膜の側壁に形成されたサイドウォール、および、上記第1の導電膜の側方にサイドウォールを介して形成されて、第2の導電膜と下方の導電部とを接続するコンタクトを備えた半導体装置において、絶縁膜およびサイドウォールは不純物をドーブしないシリコン酸化膜で形成され、かつ、絶縁膜が第2の導電膜と接する部分に段部が形成されたものである。

【0015】さらに、絶縁膜とサイドウォールがともに同一特性を持つ同一膜種としたものである。さらに、第1の導電膜はワード線であり、第2の導電膜はビット線であり、導電部はソース・ドレイン領域であるDRAMとしたものである。また、第1の導電膜はワード線であり、第2の導電膜は互いに絶縁されたビット線とストレージノードであり、導電部は2つのソース・ドレイン領域であるDRAMとしたものである。

【0016】

【発明の実施の形態】

実施の形態1. 図1～図6はこの発明の実施の形態1である半導体装置の製造方法を示す断面図であり、DRAMのメモセルに適用した場合について示す。図は2ビット分を示す。まず、図1を参照して、シリコン基板21上に不純物をドーブしない分離酸化膜41を選択的酸化により形成した後、ゲート酸化絶縁膜23、第1の導電膜としてのリン等をドーブした第1のポリシリコン膜24、不純物をドーブしない第1のシリコン酸化膜42を順次形成する。不純物をドーブしない第1のシリコン酸化膜42は減圧TEOS CVDにより形成する(後述の第3、第4のシリコン酸化膜、第1、第2のサイドウォールも同様方法で形成する)。第1のポリシリコン膜24、第1のシリコン酸化膜42にワード線13(図11参照)のパターンニングを施す。そしてリン等の不純物をイオン注入して、ソース・ドレイン領域26をワード線13の両側(図ではワード線13が2本あるので、その中間と両端側)に形成する。次にシリコン基板21

6

のこれらの上全面に不純物をドーブしないシリコン酸化膜を堆積した後、異方性エッチングを行い、ワード線13の側壁に第1のサイドウォール43を形成する。

【0017】続いて、図2を参照して、シリコン基板21のこれらの上全面に不純物をドーブした第2のシリコン酸化膜44を堆積し、後述の第1、第2のコンタクト形成部以外の部分の第2のシリコン酸化膜44を、写真製版とエッチングにより除去する。不純物をドーブした第2のシリコン酸化膜44の堆積は常圧BPSG CVDで行う。この工程のエッチングでは、下地の第1のシリコン酸化膜42との界面で止める必要がなく、十分にオーバーエッチングをかけ、第1のポリシリコン膜24をストッパーとして用いればよい。第2のシリコン酸化膜44にドライエッチングを行う場合、第1のポリシリコン膜24との選択比は40以上確保することができる。また、ここではゲート電極を第1のポリシリコン膜24単層としたが、これに代えてW、WSi等の高融点金属、シリサイド、ポリサイドを用いれば、選択比はポリシリコン膜単層のとき以上の値を確保することができる。この工程では、各コンタクト形成部に残る第2のシリコン酸化膜44が互いに分離、孤立するまで、オーバーエッチングをかけることが重要である。このとき、分離酸化膜41が削られてもよく、また、シリコン基板21が露出しても構わない。

【0018】次に、図3を参照して、不純物を含まない第3のシリコン酸化膜45を堆積した後、孤立した第2のシリコン酸化膜44の島の上面がすべて露出するまでエッチバックする。このとき、異方性ドライエッチングによりエッチバックしてもよいし、CMP(Chemical Mechanical Polishing)法を使ってエッチバックしてもよい。

【0019】次に、図4を参照して、フォトレジスト46を塗布した後、ビット線14(図11参照)とソース・ドレイン領域26を接続するための第1のコンタクト47(図5参照)形成部上のフォトレジスト46を除去する。このときのマスク、マスク合わせは、第1のコンタクト47形成部以外の第2のシリコン酸化膜44が露出しなければよいので、精度は特に必要ない。そして、フォトレジスト46除去部の第2のシリコン酸化膜44を、気相HF処理により除去して第1のコンタクトホール48を形成し、図4に示すようになり、残りのフォトレジスト46を除去する。特開平6-196649号公報にも記載されているが、気相HF処理では、不純物をドーブしたシリコン酸化膜のエッチング速度が、不純物をドーブしない酸化膜に対して1000倍程度速いので、選択的に第1のコンタクト47形成部の第2のシリコン酸化膜44を除去することができ、第1のコンタクトホール48が形成される。

【0020】次に、図5を参照して、第2の導電膜としての第2のポリシリコン膜49、および不純物をドーブ

7

しない第4のシリコン酸化膜50を堆積した後、ビット線14のパターニングを行う。第2のポリシリコン膜49は第1のコンタクトホール48を埋め込み、第1のコンタクト47を形成する。この第1のコンタクト47によりビット線14がソース・ドレイン領域26と接続される。続いて、これら全面上に不純物をドーパしないシリコン酸化膜を堆積し、異方性ドライエッチングにより、第2のシリコン酸化膜44が露出するまで全面エッチバックし、第2のサイドウォール51を形成して、図5のようになる。以上のようにして、第1、第3のシリコン酸化膜42、45を形成すれば段部Aができる。換言すれば、第1のポリシリコン膜24上の絶縁膜が第2のポリシリコン膜と接する部分に段部Aが形成された構造を採用することにより、上述の工程を適用することができる。

【0021】次に、図6を参照して、気相HF処理により、第2のシリコン酸化膜44を選択的に除去して、第2のコンタクトホール52を形成する。このときは、図4に示すときと異なり、フォトレジストは必要ない。続いて、ポリシリコン膜を堆積し、第2のコンタクトホール52を埋め込んで第2のコンタクト53を形成するとともに、パターニングを行ってストレージノード15（図11参照）を形成する。このときも、第1のポリシリコン膜24上の第1、第3のシリコン酸化膜42、45により段部Bが形成される。第2のコンタクト53はストレージノード15とソース・ドレイン領域26を接続する。ストレージノード15上にキャパシタ絶縁膜54を形成し、さらにその上にセルプレート電極16（図11参照）を形成する。ストレージノード15、キャパシタ12（図11参照）を構成する。

【0022】以上のように、第1、第2のコンタクトホール48、52が自己整合的に形成されるので、精度良く、簡単に形成することができ、写真製版技術を用いた工程では工程が容易になる。また、コンタクトホール径を縮小することなく、コンタクトと他の配線の間でショートする不良を防止できる。なお、この実施の形態においては、第1、第3のシリコン酸化膜および第1のサイドウォールを同一特性の同一膜種で構成したので、後工程でのドライエッチング、ウェットエッチングまたは熱処理においても、エッチレートや、リフロー温度の違いによる形状変化をひき起こすことがなく、また、エッチング量の制御がしやすい。

【0023】実施の形態2。実施の形態1ではビット線コンタクトホール（第1のコンタクトホール48）とストレージノードコンタクトホール（第2のコンタクトホール52）の両方に気相HF処理によるコンタクトホール形成を適用したが、実施の形態2ではビット線コンタクトホールのみに適用した例を示す。図7～図9は実施の形態2の半導体装置の製造方法を示す断面図であり、

8

DRAMのメモリセルの場合を示す。

【0024】まず、図7を参照して、実施の形態1で説明したのと同様にして、シリコン基板21上に分離酸化膜41、ゲート酸化絶縁膜23、第1の導電膜としての第1のポリシリコン膜24、第1のシリコン酸化膜42、ソース・ドレイン領域26、第1のサイドウォール43を形成する。これらの上全面に、常圧BPSG CVDにより不純物をドーパした第2のシリコン酸化膜61を堆積する（この後、700～1000℃のN₂アニールを行い、この第2のシリコン酸化膜61をリフローして平坦化してもよい）。続いて、第1のコンタクトホール64（図8参照）を形成するために、フォトレジスト62を塗布した後、写真製版を行い、第1のコンタクトホール64形成部以外のフォトレジスト62を除去して、図7に示したようになる。

【0025】次に、図8を参照して、フォトレジスト62をマスクにして第2の酸化膜61をエッチングした後、フォトレジスト62を除去する。続いて、不純物をドーパしない第3のシリコン酸化膜63を、減圧TEOS CVDにより堆積後、エッチバックして図8に示したようになる。続いて、気相HF処理を行い、選択的に第2のシリコン酸化膜61を除去して第1のコンタクトホール64を形成する。

【0026】次に、図9を参照して、第2の導電膜としての第2のポリシリコン膜65を堆積して第1のコンタクトホール64を埋め込み第1のコンタクト66を形成するとともに、パターニングを行ってビット線14を形成する。このとき、第1のポリシリコン膜24上で第1、第3のシリコン酸化膜42、63が第2のポリシリコン膜と接する部分に段部Cが形成される。第1のコンタクト66はビット線14とソース・ドレイン領域26を接続する。

【0027】続いて、これらの上全面に第4のシリコン酸化膜67を堆積した後、ストレージノード15とソース・ドレイン領域26を接続するための第2のコンタクトホール68を、写真製版と異方性ドライエッチングにより形成する。その上にポリシリコン膜を堆積して第2のコンタクトホール68を埋め込み第2のコンタクト69を形成するとともに、パターニングを行ってストレージノード15を形成する。以下、実施の形態1と同様にキャパシタ絶縁54セルプレート電極16を形成し、キャパシタ12（図11参照）を構成する。以上のように、第1のコンタクトホール64が実施の形態1の場合と同様に自己整合的に形成される。

【0028】なお、以上の実施の形態では第1のシリコン酸化膜42、第3のシリコン酸化膜45、63、第4のシリコン酸化膜50、第1のサイドウォール43、第2のサイドウォール51をTEOS酸化膜で構成したが、不純物をドーパしないシリコン酸化膜であれば、他の酸化膜を用いてもよい。また、上記ではDRAMに適

用した例を説明したが、SRAM、EPROM、EEPROM、ロジックデバイス等、他のデバイスにも適用することができ、同様の効果を奏する。

【0029】

【発明の効果】この発明による半導体装置の製造方法はコンタクトホール形成部に不純物をドーピングしたシリコン酸化膜を形成した後、気相HF処理によりこの不純物をドーピングしたシリコン酸化膜を除去することによりコンタクトホールを形成するので、自己整合的にコンタクトホールを形成することができる。したがって、コンタクトホールが精度良く、容易に形成でき、コンタクトと他の配線との間のショートを防止でき、高集積化が容易となる。さらに、不純物をドーピングしないシリコン酸化膜として用いる酸化膜を、同一特性の同一膜種とすることにより、後工程でのエッチングや熱処理における形状変化が防止され、エッチング量の制御が容易となる。

【0030】また、この発明による半導体装置は、第1の導電膜上の絶縁膜とサイドウォールを、不純物をドーピングしないシリコン酸化膜で形成するとともに、この絶縁膜に段部を形成したので、製造工程中において不純物をドーピングしたシリコン酸化膜を用いてこれに気相HF処理を行うことにより、コンタクトホールを自己整合的に形成することができ、したがって、コンタクトホールが精度良く、容易に形成できて、コンタクトと他の配線間のショートが防止できる。さらに、上記絶縁膜とサイドウォールを同一特性の同一膜種とすることにより、後工程での形状変化が防止でき、エッチング量の制御が容易となる。さらに、DRAMに適用することにより、DRAMの高集積化ができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における半導体装置の製造方法を示す断面図である。

【図2】 この発明の実施の形態1における半導体装置の製造方法を示す断面図である。

【図3】 この発明の実施の形態1における半導体装置

の製造方法を示す断面図である。

【図4】 この発明の実施の形態1における半導体装置の製造方法を示す断面図である。

【図5】 この発明の実施の形態1における半導体装置の製造方法を示す断面図である。

【図6】 この発明の実施の形態1における半導体装置の製造方法を示す断面図である。

【図7】 この発明の実施の形態2における半導体装置の製造方法を示す断面図である。

【図8】 この発明の実施の形態2における半導体装置の製造方法を示す断面図である。

【図9】 この発明の実施の形態2における半導体装置の製造方法を示す断面図である。

【図10】 DRAMの構成を示すブロック図である。

【図11】 メモリセルの等価回路図である。

【図12】 従来の半導体装置の製造方法を示す断面図である。

【図13】 従来の半導体装置の製造方法を示す断面図である。

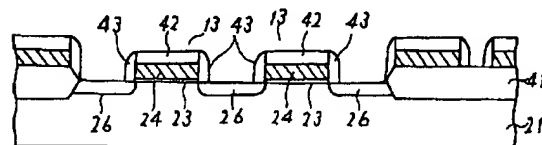
【図14】 従来の半導体装置の製造方法を示す断面図である。

【図15】 従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

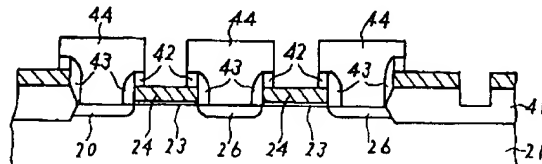
13 ワード線、14 ビット線、24 第1のポリシリコン膜、42 第1のシリコン酸化膜、43 第1のサイドウォール、44 第2のシリコン酸化膜、45 第3のシリコン酸化膜、46 フォトレジスト、47 第1のコンタクト、48 第1のコンタクトホール、49 第2のポリシリコン膜、50 第4のシリコン酸化膜、51 第2のサイドウォール、52 第2のコンタクトホール、53 第2のコンタクト、61 第2のシリコン酸化膜、63 第3のシリコン酸化膜、64 第1のコンタクトホール、65 第2のポリシリコン膜、66 第1のコンタクト。

【図1】



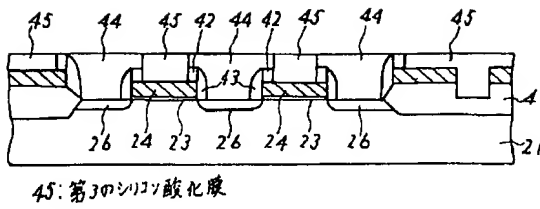
13:ワード線 24:第1のポリシリコン膜 43:第1のサイドウォール
14:ビット線 42:第1のシリコン酸化膜

【図2】



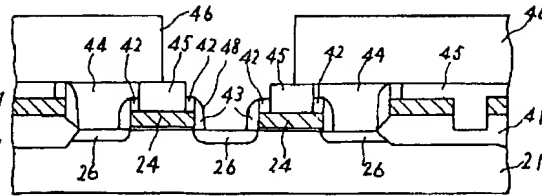
44:第2のシリコン酸化膜

【図3】



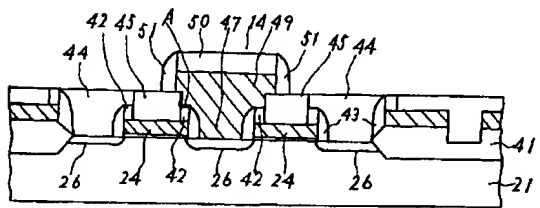
45: 第3のシリコン酸化膜

【図4】

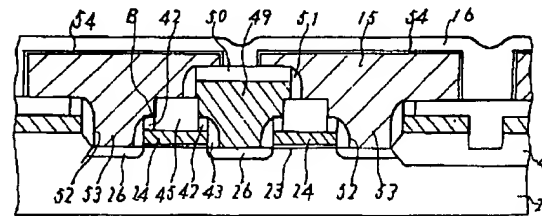


46: フォトリソスト 48: 第1のコンタクトホール

【図5】

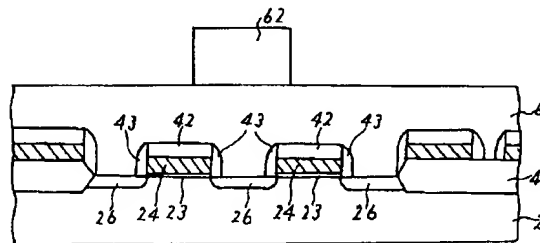
47: 第1のコンタクト 50: 第4のシリコン酸化膜
49: 第2のポリシリコン膜 51: 第2のサイドウォール

【図6】



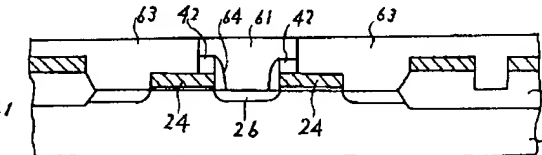
52: 第2のコンタクトホール 53: 第2のコンタクト

【図7】



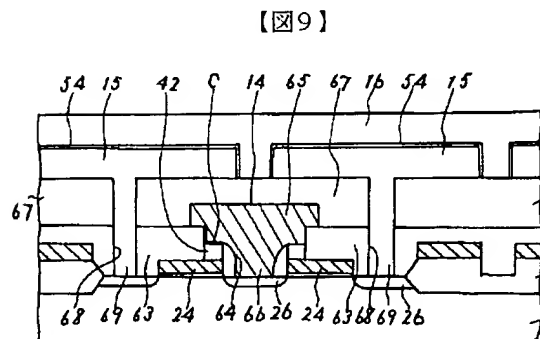
61: 第2のシリコン酸化膜

【図8】

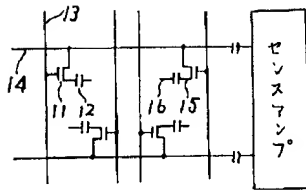


63: 第3のシリコン酸化膜

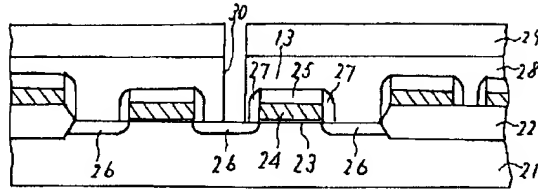
【図10】



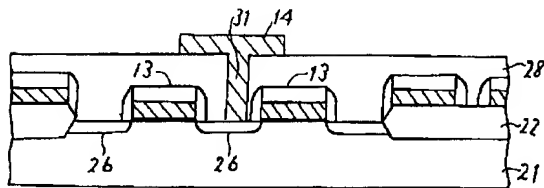
【図11】



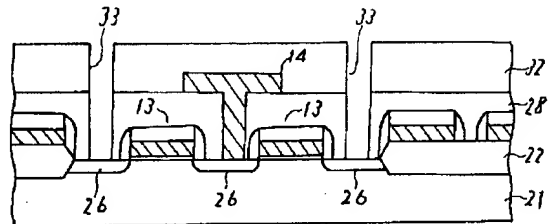
【図12】



【図13】



【図14】



【図15】

